

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 63-9220

From lines 7 to 13 of the lower left column on page 2

Hence, it is enabled that an arbitrary number of p-channel transistors 8 or an arbitrary number of n-channel transistors 9 among the plural p-channel transistors 8 and n-channel transistors 9 which form the buffer circuit are electrically connected in parallel by the control signals from the control terminals 4 and 5 or the control signals from the control terminals 6 and 7. Further, it becomes possible to change respective equivalent conductances of the p-channel transistors 8 and n-channel transistors 9 of the buffer circuit.

From line 8 of the upper left column to the line 17 of the upper right column on page 3

Next, since the conductance of the p-channel transistors 8 and the conductance of the n-channel transistors 9 can be separately changed in the buffer circuit according to the present invention, the input threshold voltage, the output rising time, the output falling time and the like can be controlled. From this viewpoint, there will be explained as a third embodiment a case where the buffer circuit according to the present invention is used as a duty adjustment circuit.

Generally, there is a time gap between the rising time and the falling time of the output waveform of the gate circuit, and it is difficult to allow this rising time and this falling time to be equal with each other. In this association, the duty is adversely changed due to the time gap between the rising time and the falling time when processing through several gates.

Best Available Copy

The circuit shown in Figure 3 is the duty adjustment circuit using the buffer circuit according to the present invention, in which reference number 14 is the aforementioned buffer circuit according to the present invention and reference number 15 is an inverter.

Figure 4 shows respective waveforms of the parts in Figure 3, in which a waveform 17 is an input waveform of an input into the input terminal 2 and has the duty which should be 50 % and is now smaller than 50 %.

In the buffer circuit 14, suppose that the equivalent conductance of the n-channel transistor 9 is more predominantly controlled than the equivalent conductance of the p-channel transistor 8. As a result, the falling time is shorter than the rising time in the output waveform of the output terminal 3 in the buffer circuit 14, as indicated by reference number 18. When the signal of the output waveform 18 is shaped by the inverter 15, an output waveform 19 having a duty of 50 % can be obtained.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-009220

(43)Date of publication of application : 14.01.1988

(51)Int.Cl.

H03K 4/94
H01L 27/04
H03K 5/04
H03K 17/12
H03K 17/687
H03K 19/00

(21)Application number : 61-152907

(71)Applicant : NEC CORP
NEC ENG LTD

(22)Date of filing : 30.06.1986

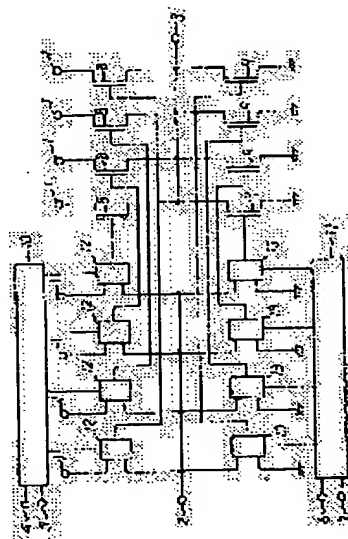
(72)Inventor : SHIOTANI SUMIO
KOBAYASHI TAMOTSU

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To control a delay time or the like externally by connecting P-channel switch elements connected in parallel between a power supply and an output, connecting N-channel switch elements in parallel between ground and the output and connecting the control terminal selectively to the input.

CONSTITUTION: A selector 12 selects an input terminal 2 or a power terminal 1 depending on a control signal from control terminals 4, 5 of a decode circuit 10 to lead a signal to a gate terminal of a P-channel TR 8. Similarly, a selector 13 selects an input terminal 2 or ground depending on a control signal from control terminals 6, 7 of a decode circuit 11 to lead a signal to a gate of an N-channel TR 9. The TR 9 receiving a ground voltage is cut off, the TR 9 receiving an input signal is controlled by an input and when plural TRs 9 applied with the input signal are provided, plural TRs 8 are connected in parallel. Thus, an optional number of the TRs 8 or 9 are connected in parallel to change the equivalent conductance of the TRs 8, 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-9220

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月14日

H 03 K 4/94
H 01 L 27/04
H 03 K 5/04
17/12
17/687
19/00

1 0 1

7259-5J
7514-5F
7259-5J
7190-5J
Z-7190-5J
8326-5J

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 バッファ回路

⑯ 特 願 昭61-152907

⑰ 出 願 昭61(1986)6月30日

⑱ 発 明 者 塩 谷 純 男

東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 小 林 保

東京都港区西新橋3丁目20番4号 日本電気エンジニアリ
ング株式会社内

⑳ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

㉑ 出 願 人 日本電気エンジニアリ
ング株式会社

東京都港区西新橋3丁目20番4号

㉒ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

バッファ回路

2. 特許請求の範囲

1. 入力端子と出力端子とを有するバッファ回路であって、互いに並列に接続された複数のP型スイッチ素子を、電源素子と前記出力端子との間に接続し、互いに並列に接続された複数のN型スイッチ素子を、接地素子と前記出力端子との間に接続し、前記複数のP型スイッチ素子及び前記複数のN型スイッチ素子のオンオフ制御端子に、前記入力端子を、外部制御信号に応じて選択的に接続する回路を設けたことを特徴とするバッファ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積装置に関し、特に入力バ

ッファ、出力バッファ等のバッファ回路に関するものである。

〔従来の技術〕

従来、この種のバッファ回路はトランジスタサイズが固定、即ち駆動能力が固定である為、与えられた負荷条件である負荷ゲート数や配線長等に対し、一定の遅延時間及び一定の立上り時間、立下り時間を有していた。

〔発明が解決しようとする問題点〕

ところが、上述した従来のバッファ回路では、半導体集積装置の評価時等に遅延時間等の特性を変更する必要が生じた場合、トランジスタの駆動能力が固定されているため再設計、再製造を行わなければならないという欠点を有していた。

特に、入力信号間の位相差、内部クロックのデューティー、出力信号間の位相差、出力信号の絶対遅延時間、出力クロックデューティー等は、該半導体集積装置の外部回路とのインターフェース及び最高動作周波数を決める大きな要因である為、評価後、調整し最適化を計りたいとの要求が強か

った。

そこで、本発明の目的は、半導体集積装置の評価時等に、バッファ回路のコンダクタンスを外部から変更することができるバッファ回路を提供することである。

〔問題点を解決するための手段〕

本発明によれば、入力端子と出力端子とを有するバッファ回路であって、互いに並列に接続された複数のP型スイッチ素子を、電源素子と前記出力端子との間に接続し、互いに並列に接続された複数のN型スイッチ素子を、接地素子と前記出力端子との間に接続し、前記複数のP型スイッチ素子及び前記複数のN型スイッチ素子のオンオフ制御端子に、前記入力端子を、外部制御信号に応じて選択的に接続する回路を設けたことを特徴とするバッファ回路が得られる。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は、本発明の一実施例である。1は電源端子、2はバッファ回路の入力端子、3は出力端子、

(3)

る。斯かる選択の結果、接地電圧が印加されたトランジスタ9は、シャ断状態となり、一方、入力信号が印加されたトランジスタ9は入力信号により制御され、かつ入力信号を印加されたトランジスタ9が複数個ある場合には複数のトランジスタ8が電氣的に並列に接続されることになる。

従って、制御端子4、5又は6、7からの制御信号によりバッファ回路を構成する複数のPチャネルトランジスタ8又はNチャネルトランジスタ9を任意の個数だけ電氣的に並列に接続することが可能であり、バッファ回路のPチャネルトランジスタ8及びNチャネルトランジスタ9の等価的なコンダクタンスを変化させることが可能である。

第2図は本発明の第2の実施例である。

1は電源端子、2はバッファ回路の入力端子、3は出力端子である。8はPチャネルMOSトランジスタ、9はNチャネルMOSトランジスタであり、インバータタイプのバッファ回路を構成している。10はデコード回路であり、制御端子4、5からの制御信号によりデコード回路10の出力を印加

(5)

8はPチャネルMOSトランジスタ、9はNチャネルMOSトランジスタであり、これらによりインバータタイプのバッファ回路を構成している。12はセクタ、10はデコード回路であり、制御端子4、5からの制御信号によりセクタ12がそれぞれバッファ回路の入力端子2からの入力信号と電源端子1からの電源電圧とのいずれか一方を選択し、Pチャネルトランジスタ8のゲート端子に導かれる。斯かる選択の結果、電源電圧を印加されたトランジスタ8はシャ断状態となり、一方、入力信号が印加されたトランジスタ8は、入力信号により制御され、かつ入力信号を印加されたトランジスタ8が複数個ある場合には、複数のトランジスタ8が電氣的に並列に接続されることになる。

同様に、13はセクタ、11はデコード回路であり制御端子6、7からの制御信号によりセクタ13がそれぞれバッファ回路の入力端子2からの入力信号と接地電圧とのいずれか一方を選択し、Nチャネルトランジスタ9のゲート端子に導かれ

(4)

された複数のPチャネルトランジスタ8のゲート電圧を任意に、例えば高電圧又は低電圧に指定することができる。その結果、高電圧を印加されたトランジスタ8はシャ断状態となり、低電圧を印加されたトランジスタ8は導通状態となり、かつ導通状態のトランジスタ8が複数個あれば電氣的に並列に接続されることになる。

同様に、11はデコード回路であり、制御端子6、7からの制御信号により、デコード回路11の出力を印加された複数のNチャネルトランジスタ9のゲート電圧を任意に、例えば高電圧又は低電圧に指定することができる。その結果、低電圧を印加されたトランジスタ9は、シャ断状態となり、高電圧を印加されたトランジスタ9は導通状態となり、かつ導通状態のトランジスタ9が複数個あれば、電氣的に並列に接続されることになる。

この様に、制御端子4、5又は6、7からの制御信号によりバッファ回路を構成するPチャネルトランジスタ8及びNチャネルトランジスタ9の等価的なコンダクタンスを変化させる事が可能で

(6)

ある。これは第1の実施例と全く同様である。

従って、本発明によるバッファ回路のPチャネルトランジスタ8部及びNチャネルトランジスタ9部のコンダクタンス、つまり駆動能力を半導体集積回路の外部端子から制御することが可能となり、結果的に、可変遅延バッファ回路を得ることができる。

次に、本発明のバッファ回路はPチャネルトランジスタ8のコンダクタンス及びNチャネルトランジスタ9のコンダクタンスを別々に変化させることも可能である為、入力しきい値電圧及び出力立上り時間、立下り時間等を、制御することも可能であることから、以下に、本発明によるバッファ回路をデューティ調整回路として使用した場合の第3の実施例を示す。

まず、一般的にゲート回路の出力波形の立上り時間と立下り時間とを等しくすることは困難であり、時間差を有している。その為、ゲートを何段か通ると立上り、立下り時間の差によりデューティが変化してしまう不都合がある。

(7)

半導体集積装置外部から制御できるという効果がある。

本発明のバッファ回路を遅延時間制御回路として使用する場合は半導体集積装置の入力信号間及び出力信号間の位相調整に使用できる。

又半導体集積装置の内部で位相差を厳しく制御しなければならない部分があれば本発明バッファ回路を使用する事により最適化が計れる。

本発明によるバッファ回路をデューティ制御回路として使用する場合は半導体集積装置の入力端子に、デューティのくった信号が印加された場合でも、内部で補正が可能であり、又ある決められたデューティの信号を出力しなければならない場合も、内部でくったデューティを補正可能である。

この様に本発明のバッファ回路を使用する事により設計時と実物の差の補正、外部回路とのインターフェースの補正、製造バラツキに対する特性変化の補正が外部端子の制御のみで可能となる。

以下余白

(9)

そこで、第3図に示す回路は、本発明のバッファ回路を利用したデューティ調整回路であり、14は既述した本発明によるバッファ回路、15はインバータである。

第4図は第3図の各部の波形であり、波形17は、入力端子2への入力波形であり、本来50%のデューティであるべきものが小さくなっている。

ここで、バッファ回路14において、Pチャネルトランジスタ8の等価コンダクタンスより、Nチャネルトランジスタ9の等価コンダクタンスの方が大きく制御しているものとする。その結果、バッファ回路14の出力端子3の出力波形は18の様に立上り時間より立下り時間の方が小さくなる。この出力波形18の信号をインバータ15により整形すると、デューティ50%の出力波形19を得ることができる。

〔発明の効果〕

以上説明した様に、本発明によるバッファ回路は信号の遅延時間やクロックのデューティを半

(8)

4. 図面の簡単な説明

第1図、第2図は本発明の実施例第3図は本発明をデューティ調整回路図、第4図は第3図の各部の波形図である。

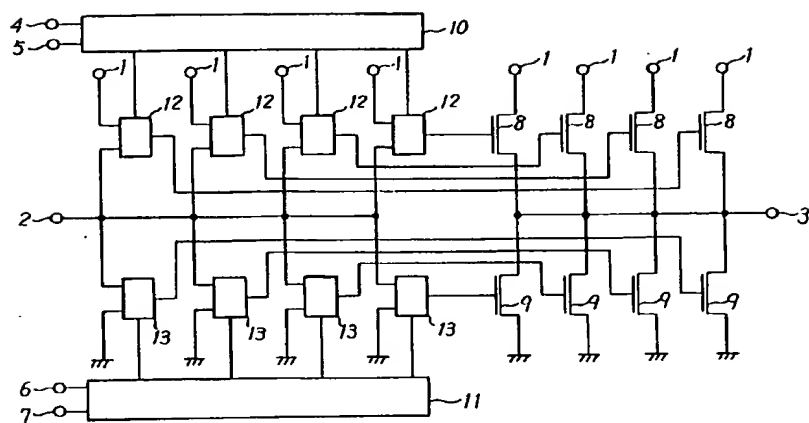
1…電源端子、2…入力端子、3…出力端子、4～7…制御端子、8…PチャネルMOSトランジスタ、9…NチャネルMOSトランジスタ、10～11…デコード回路、12～13…セクタ回路、14…バッファ回路、15…インバータ、16…出力端子、17…端子2の入力波形、18…端子3の波形、19…端子16の波形。

代理人 (7783) 弁理士 池田 憲保

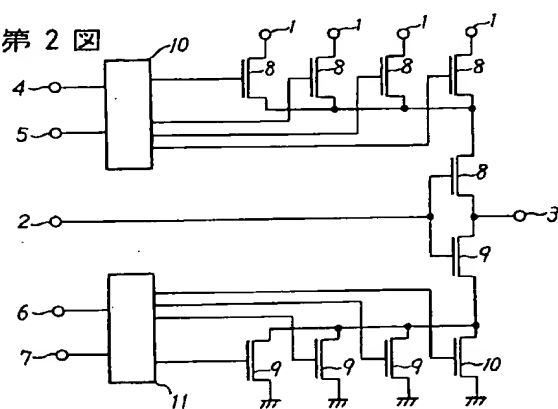


(10)

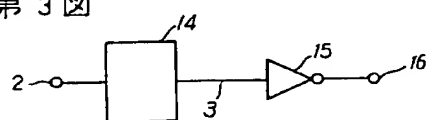
第1図



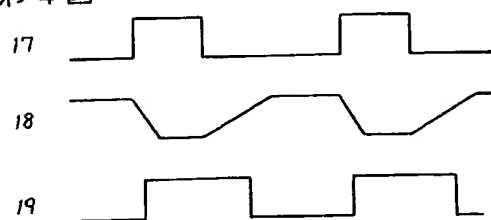
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.